

CLIPPEDIMAGE= JP402280371A  
PAT-NO: JP402280371A  
DOCUMENT-IDENTIFIER: JP 02280371 A  
TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: November 16, 1990

INVENTOR-INFORMATION:

NAME

YAMAGUCHI, YASUO

ASSIGNEE-INFORMATION:

NAME

MITSUBISHI ELECTRIC CORP

COUNTRY

N/A

APPL-NO: JP01102222

APPL-DATE: April 20, 1989

INT-CL (IPC): H01L027/10

US-CL-CURRENT: 257/344,257/347

ABSTRACT:

PURPOSE: To improve the breakdown voltage between a source and a drain by extending a channel region under the source region of an SOI-MOSFET and arranging a contact hole of the source so as to penetrate the channel region and providing a source electrode with a function as a substrate electrode.

CONSTITUTION: On an insulator layer 2 formed on a silicon substrate 1, an island-form semiconductor layer 3 made of a silicon thin film of 500 $\text{\AA}$ ~1500 $\text{\AA}$  thick is formed, in which a first channel region 6 of P-type impurity concentration is formed. Also on both sides of said region 6 an in a lower part of the island 3, second channel regions 11 and 12 having high P-type impurity concentration are formed to be in contact with the region 6 eachly. The thickness of these regions 11 and 12 is about 1/2 of the island 3 and an additional source region 9 and an additional drain region 10 of 250 $\text{\AA}$ ~1000 $\text{\AA}$  thick including N-type impurities are formed above the regions 11 and 12 so that these are in contact with the region 6. Furthermore, a first source region 7 and a first drain region 8

having a  
predetermined thickness are formed to be in contact with the  
regions 9 and 10  
respectively, thereby forming an LDD structure.

COPYRIGHT: (C)1990,JPO&Japio

## ⑫ 公開特許公報(A)

平2-280371

⑬ Int. Cl.<sup>5</sup>

H 01 L 27/10

識別記号

3 1 1 S

庁内整理番号

8624-5F

⑭ 公開 平成2年(1990)11月16日

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 平1-102222

⑰ 出 願 平1(1989)4月20日

⑱ 発 明 者 山 口 泰 男 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 大岩 増雄 外2名

## 明 細 書

## 1 発明の名称

半導体装置

## 2 特許請求の範囲

(1) 絶縁体基板と、該絶縁体基板上に形成された膜厚500Å～1500Åの島状半導体層と、該半導体層内に形成されたチャンネル領域と、上記半導体層内であつてその上層部に上記チャンネル領域の一方の側と接して250Å～1000Åの深さに形成された第1ソース領域と、上記半導体層内であつてその上層部に上記チャンネル領域の他方の側と接して250Å～1000Åの深さに形成された第1ドレン領域と、少なくとも上記チャンネル領域上に形成されたゲート誘電体薄膜と、該ゲート誘電体薄膜上に形成されたゲート電極と、上記半導体層内であつて上記ゲート誘電体薄膜の両端部近傍の下に形成され、上記第1ソース領域とチャンネル領域、上記第1ドレン領域とチャンネル領域とにそれぞれ接して設けられた付加的ソース領域及び付加的ドレン領域と、上記第1ソース領域上

に形成された膜厚500Å～1500Åの第2ソース領域と、上記第1ドレン領域上に形成された膜厚500Å～1500Åの第2ドレン領域と、上記第2ソース領域及び第2ドレン領域上にそれぞれ形成された金属層と、これらの金属層及び上記ゲート電極上部を覆つて設けられた絶縁膜と、上記絶縁膜を貫通して上記第2ドレン領域上の金属層に達するように形成されたドレン電極用コンタクトホールと、上記絶縁膜、第2ソース領域上の金属層、第2ソース領域及び第1ソース領域を貫通して上記チャンネル領域に達するように形成されたソース電極用コンタクトホールと、上記各コンタクトホールを埋めて設けられた低抵抗金属製の配線層とからなる半導体装置。

## 3 発明の詳細な説明

(産業上の利用分野)

本発明は絶縁体基板上の500Å～1500Åの薄い半導体層に形成されたMOS(Metal Oxide Semiconductor)型電界効果トランジスタ(以下、「SOI-MOSFET」と略称する)のよう

な半導体装置に関し、特に、ソースドレン間の耐圧を改善した半導体装置に関するものである。

〔従来の技術〕

第4図は従来のSOI-MOSFETの断面図で、シリコン基板(1)上に絶縁体層(2)が形成されており、絶縁体層(2)上にシリコン層(3)が形成されている。シリコン層(3)内において、低いp型不純物濃度(たとえば、 $10^{16} \sim 10^{17}$  atoms/cm<sup>3</sup>)を有するチャンネル領域(6)が形成されており、高いn型不純物濃度(たとえば $10^{19} \sim 10^{21}$  atoms/cm<sup>3</sup>)を有するソース領域(7)とドレン領域(8)とがそれぞれチャンネル領域(6)の両側にこれと接して形成されている。

チャンネル領域(6)上にはゲート誘電体薄膜(4)が形成されており、該誘電体薄膜(4)上にゲート電極(5)が形成されている。シリコン層(3)とゲート電極(5)は層間絶縁膜(17)によつて覆われている。層間絶縁膜(17)にはコンタクトホール(18s)、(18d)が開けられ、それぞれのコンタクトホールには対応する導電体(19s)、(19d)が形成されている。

ゲート長さが短いときに、ゲートしきい値電圧が異常に低くなるショートチャンネル効果も低減される。

ところで、ソースドレン間に印加される電圧が高いときはチャンネル領域(6)内でキャリアが高速に加速される。チャンネル領域(6)内で加速されたキャリアはドレン領域(8)の近傍で衝突電離によつて電子と正孔のペアを発生させる。この発生した電子はn<sup>+</sup>型のドレン領域(8)に流れ込む。しかし、正孔はチャンネル領域(6)内に蓄積されてその部分の電位を上昇させる。

さらに、チャンネル領域(6)全体が完全に空乏層化されるとき、チャンネル領域(6)内のポテンシャルが通常のMOSFETにおける場合より高くなる。したがつて、ソース領域(7)とチャンネル領域(6)の間の電氣的障壁が低くなる上、前述の衝突電離によつて生じた正孔がチャンネル領域(6)内に一時的に蓄積されれば、チャンネル領域(6)内のポテンシャルがさらに上昇し、ソース領域(7)からチャンネル領域(6)内に電子が急激に注入される。すなわち、

以上のように構成されたSOI-MOSFETにおいて、ゲート電極(5)に正の電圧を印加するとき、p型のチャンネル領域(6)の上層部にn導電型のキャリア(電子)が誘引され、その上層部はソース領域(7)およびドレン領域(8)と同じn導電型に反転させられる。したがつて、ソース領域(7)とドレン領域(8)との間で電流が流れることが可能となる。また、チャンネル領域(6)の上層部に誘引されるn型キャリアの濃度はゲート電圧によつて変化するので、チャンネル領域(6)を流れる電流量をゲート電圧によつて制御することができる。

〔発明が解決しようとする課題〕

非常に薄い(たとえば、500Å～1500Åの厚さ)シリコン層(3)を有する薄膜SOI-MOSFETは、厚いシリコン層を有する通常のSOI-MOSFETに比べて優れた特性を有している。たとえば、その薄いチャンネル領域(6)はゲート電極(5)に電圧を印加することによつて全体が空乏層化され、また電位もゲート電極により制御されるため、バシスループ現象やキンク効果が消失する。また、

薄膜SOI-MOSFETにおいては、ソースドレン間の耐圧が低くなりやすいという欠点がある。

また、シリコン層(3)が500Å～1500Å程度の薄い場合は、ソース領域(7)とドレン領域(8)の抵抗が高くなり、電流駆動能力が低下するという欠点があつた。

この発明は、キンク効果やソースドレン間の耐圧が改善され、電流駆動能力の大きなSOI-MOSFETのような半導体装置を提供することを目的とする。

〔課題を解決するための手段〕

この発明に係る半導体装置は、ソースドレン間の耐圧向上やキンク効果抑制の為に、チャンネル領域をソース領域の下にまで延長し、ソースのコンタクトホールをチャンネル領域にまで伸して、ソース電極に基板電極としての機能をもたせて余剰キャリアを引抜くようにする。

さらに、LDD(Lightly Doped Drain)構造を採る事により余剰キャリアの発生を抑え、また、ソース領域及びドレン領域の低抵抗化を図る

## 〔実施例〕

為に第2のソース領域、第2のドレン領域を本来のソース領域、ドレン領域(第1ソース領域、第1ドレン領域)上に設けると共に、さらに低抵抗化するために金属層を第2のソース領域、第2のドレン領域上にそれぞれ形成する。

## 〔作用〕

ソース電極用コンタクトホールをチャンネル領域にまで伸し、ソース電極に基板電極としての機能をもたせたため、トランジスタの面積を増加させることなく、余剰キャリアを基板電極より引抜く事が可能となり、また、LDD構造の採用の効果を加えて、ソースドレン間の耐圧が向上する。

また、本来のソース領域、ドレン領域(第1ソース領域、第1ドレン領域)上に第2のソース領域、第2のドレン領域を設け、さらに金属層を設けたため、ソース領域、ドレン領域の各抵抗を減少させることができ、トランジスタの電流駆動能力を増加させることができる。さらに、第2のソース領域、第2のドレン領域は金属がp-n接合に対して影響をおよぼすのを防止する。

ている。さらに、付加的ソース領域(9)に接して深さが250Å~1000Åの第1ソース領域(7)が形成され、同様に付加的ドレン領域(10)に接して深さが250Å~1000Åの第1ドレン領域(8)が形成され、所謂LDD(Lightly Doped Drain)構造を構成している。

チャンネル領域(6)の上には誘電体薄膜(4)を介してゲート電極(5)が設けられており、該ゲート電極(5)の上にはタタンシリサイド等の金属層(16g)が設けられている。また、ゲート電極(5)の両側、島(3)の両側にはそれぞれ絶縁壁(13)、(23)が形成されている。第1ソース領域(7)及び第1ドレン領域(8)上には選択エピタキシャル法等で、上記第1ソース領域(7)、第1ドレン領域(8)と同程度の不純物を含む第2ソース領域(14)及び第2ドレン領域(15)がそれぞれ形成され、これによつてソース領域、ドレン領域の各抵抗を低減している。この第2ソース領域(14)、第2ドレン領域(15)は通常500Å~1500Åの厚さに形成されている。第2ソース領域(14)、第2ドレン領域(15)の

第1図を参照して本発明の半導体装置の一実施例を説明する。シリコン基板(1)上には絶縁体層(2)が形成されており、該絶縁体層(2)上には膜厚500Å~1500Åのシリコン薄膜の島(3)が形成されている。シリコン薄膜の島(3)内には低いp型不純物濃度、例えば $10^{16} \sim 10^{17}$  atoms/cm<sup>3</sup>の不純物濃度の第1チャンネル領域(6)が形成されており、該チャンネル領域(6)の両側には比較的高いp型不純物濃度、例えば $10^{18} \sim 10^{20}$  atoms/cm<sup>3</sup>の不純物濃度の第2のチャンネル領域(11)、(12)がそれぞれ上記チャンネル領域(6)と接して島(3)の下層部に形成されている。この場合、第2のチャンネル領域(11)、(12)の厚みは島(3)の厚みの $\frac{1}{2}$ 程度であることが望ましい。

チャンネル領域(6)の両端で上記第2のチャンネル領域(11)、(12)の上には該チャンネル領域(6)と接して $10^{17} \sim 10^{19}$  atoms/cm<sup>3</sup>程度のn型不純物を含み、深さが250Å~1000Åの付加的ソース領域(9)と付加的ドレン領域(10)とが形成され

上にはタタンシリサイド等の金属層(16s)、(16d)が設けられ、さらに低抵抗化を図っている。

金属層(16s)、(16d)、(16g)を覆つて絶縁膜(17)が形成されている。(18s)はソース電極用のコンタクトホール、(18d)はドレン電極用のコンタクトホール、(19s)はソース電極用金属配線層、(19d)はドレン電極用金属配線層である。なお、ゲート電極の位置にもコンタクトホールが形成されて、これに金属配線が設けられているが、図では省略されている。

図示のように、ソース領域のコンタクトホール(18s)は絶縁膜(17)、金属層(16s)、第2ソース領域(14)、ソース領域(7)及び第2チャンネル領域(11)を貫通して形成されていて、金属配線層(19s)はソース領域(7)及び第2チャンネル領域(11)に接触して、ソース電極としての作用の他に基板電極としても作用する。一方、ドレン領域のコンタクトホール(18d)は絶縁膜(17)のみを貫通して形成され、金属配線層(19d)は金属層(16d)に接している。

第1図に示す構造をもつた半導体装置では、付加的ドレン領域(15)を設けたため、ドレン領域近傍の電界が緩和され、衝突電離による余剰キャリアの発生が抑えられる。また、発生したキャリア(NチャンネルMOSFETでは正孔)は、第2チャンネル領域(11)を通り、基板電極としても作用する上記ソース側の金属配線層(19S)によりすみやかに引抜かれる。このため余剰キャリアの蓄積が著しく抑えられ、ソース・ドレン間の耐圧低下が防止される。

また、第2ソース領域(14)、第2ドレン領域(15)はソース領域、ドレン領域の各抵抗を低下させ、その上チタンシリサイド等により形成された金属層(16S)<sup>(16d)</sup>により抵抗を一層低下させたことにより、電流駆動能力が大幅に向上する。

さらに、上記第2ソース領域(14)及び第2ドレン領域(15)は、金属層(16S)、(16d)が電圧ストレスによりp-n接合部に電気的な悪影響を与えるのを防止することができる。

第2図はこの発明による半導体装置の第2の実

施例では、ソース・ドレン間の耐圧の向上が得られる。

また、ソース領域、ドレン領域上にそれぞれエピタキシャル法等により第2ソース領域、第2ドレン領域を形成して、ソース領域、ドレン領域の実効膜厚を増し、さらに金属層を形成したことにより、ソース抵抗、ドレン抵抗が低減され、電流駆動能力が飛躍的に向上する。

以上の構成より、薄膜SOI-MOSFET本来の優れた特長を最大限に引出すことが可能になる。

#### 4 図面の簡単な説明

第1図はこの発明による半導体装置の一実施例の断面図、第2図及び第3図はこの発明による半導体装置の第2、第3の実施例を示す断面図、第4図は従来の半導体装置の例を示す断面図である。

(2) … 絶縁層、(3) … 島状半導体層、(4) … ゲート誘電体薄膜、(5) … ゲート電極、(6) … チャンネル領域、(7) … 第1ソース領域、(8) … 第1ドレン領域、(9) … 付加的ソース領域、(10) … 付加的ドレン領域、(14) … 第2ソース領域、

施例で、ソース領域側の金属層(16S)をコンタクトホール(18S)の側面にも形成して、電極の密着性を向上させて抵抗をより一層低くしたものである。

第3図はこの発明による半導体装置の第3の実施例で、ソース領域(7)、ドレン領域(8)の下に第2チャンネル領域を設けずに、本来のチャンネル領域(6)を上記ソース領域(7)、ドレン領域(8)の下にまで延長し、且つソース側のコンタクトホール(18S)の側面に、p型不純物を $10^{18} \sim 10^{20}$  atoms/cm<sup>2</sup>程度の比較的高濃度に導入してコンタクト注入領域(20)を形成したもので、第1図および第2図と同様な作用をする。

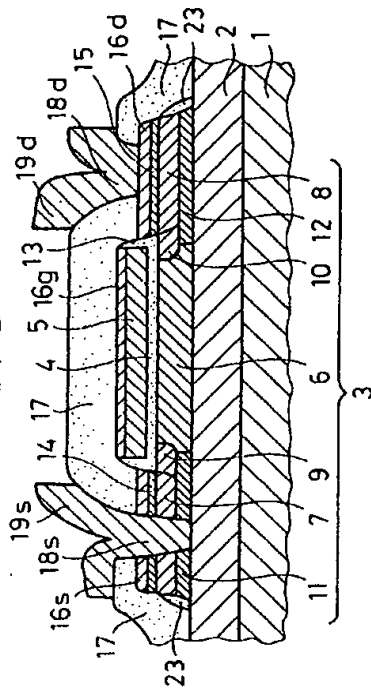
#### (発明の効果)

以上のように、この発明によればソース領域の下部にチャンネル領域を延長し、ソースのコンタクトホールをチャンネル領域に貫通する様に設けて、ソース電極に基板電極としての機能を持たせ、さらにLDD構造としたため、シリコン層が薄い場合にはキンク効果の抑制、シリコン層が薄い場

(15) … 第2ドレン領域、(16S)、(16d)、(16E) … 金属層、(17) … 絶縁膜、(18S)、(18d) … コンタクトホール、(19S)、(19d) … 金属配線層。

代理人 大 岩 増 雄

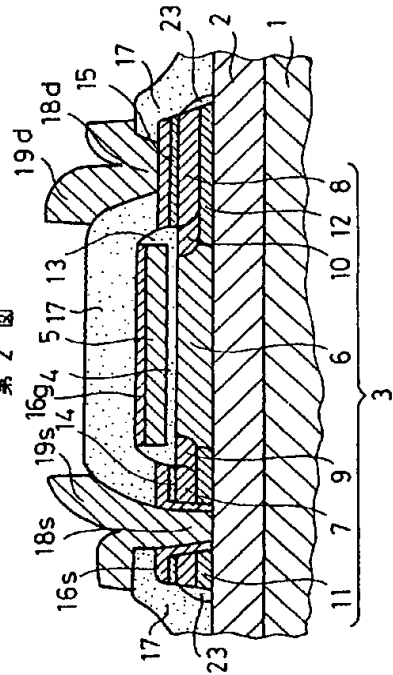
一 張



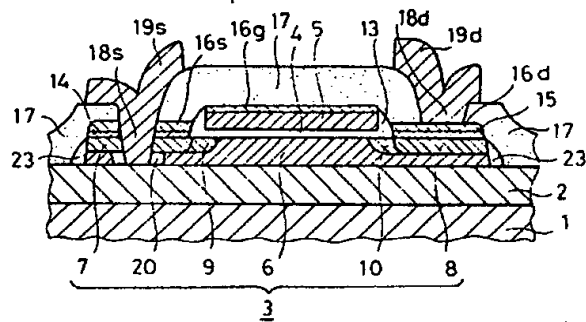
- 14: 第2ノース領域  
15: 第2ドレン領域  
16s, 16d, 16g: 金属層  
17: 絶縁膜  
18s, 18d: ジングトホール  
19s, 19d: 金属配線層

- 2: 絶縁体層
- 3: 島状導体層
- 4: ゲート誘電体薄膜
- 5: ゲート電極
- 6: チャンセル領域
- 7: 第1ソース領域
- 8: 第1ドレイン領域
- 9: 付加切ソース領域
- 10: 付加切ドレイン領域

第 2 圖



第 3 圖



第 4 回

